

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-149714

(43)Date of publication of application : 31.05.1994

(51)Int.CI. G06F 13/12

(21)Application number : 04-319487

(71)Applicant : NEC CORP

(22)Date of filing : 04.11.1992

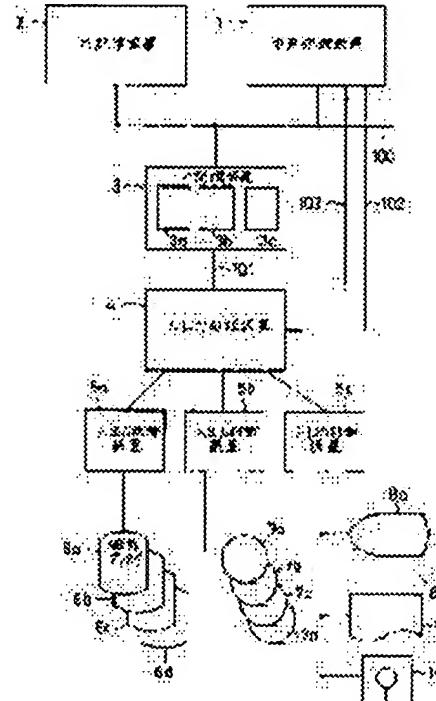
(72)Inventor : ITO KOICHI

(54) INPUT/OUTPUT CONTROL SYSTEM

(57)Abstract:

PURPOSE: To connect a high-speed input/output device which exceeds the performance of a memory bus to a low-speed, inexpensive processor system without modifying software at all.

CONSTITUTION: An input/output processor 4 operates with a high speed clock through a memory bus 100 so as to control DMA to the high speed input/output device and is connected to a main storage device 3 through a high-speed interface 101. When a central processor 1 activates an actuation indication signal line 102 to indicates the start of a channel program to the input/output processor 4, the input/output processor 4 executes the channel program written in the main storage device 3. The input/output processor 4 executes the program to write data read out of magnetic disk devices 6a-6d in the main storage device 3 through an input/output controller 5a. The input/output processor 4 activates an end interruption signal line 103 once data transfer is completed to interrupt the central processor 1.



LEGAL STATUS

[Date of request for examination] 04.11.1992

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2017149

[Date of registration] 19.02.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(1)特許出願公開

特開平6—

(43)公開日 平成6年(

(51) Int. Cl.⁵

续别记号 序内整理番号
310 B 8133-5B

F I

審査請求 有 求項の數

(21)出題番号 特期平4-319487

(71)出願人 0000004237

日本電氣株式会社

泉州市档案局

(22)出願日 平成4年(1992)11月4日

(22)黎明看 印蘇 著

百官部卷之三

卷之三

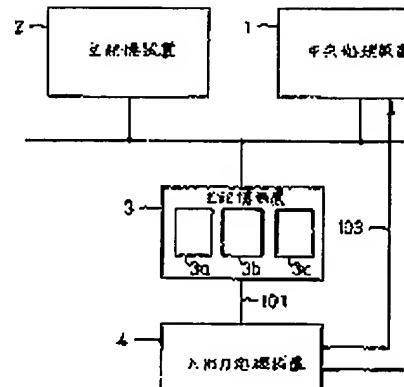
(4) 作業人 執筆者 三

(54)【発明の名称】 入出力制御システム

(57) [要約]

【目的】 ソフトウェアに何等変更を加えることなく、
低速・安価なプロセッサシステムにメモリバスの性能を
越える高速な入出力装置を接続可能とする。

【構成】 入出力処理装置4は高速な入出力装置とのDMAを制御するために、メモリバス100より高速なクロックで動作し、高速なインタフェース101によって主記憶装置3に接続されている。中央処理装置1が起動指示信号線102を活性化して入出力処理装置4にチャネルプログラムの開始を指示すると、入出力処理装置4



(2)

特開平 6 -

1

2

【特許請求の範囲】

【請求項 1】 中央処理装置と、入出力処理装置と、前記入出力処理装置に接続された複数の入出力制御装置と、前記複数の入出力制御装置各々に接続された複数の入出力装置と、主記憶装置とを含むデータ処理システムの入出力制御システムであって、前記中央処理装置と前記主記憶装置とを接続する低速な共通バスと、前記入出力処理装置と前記主記憶装置とを接続する高速なインターフェース手段と、前記中央処理装置に設けられ、前記主記憶装置と前記入出力装置との間のデータ転送を制御するチャネルプログラムを前記主記憶装置に書き込む手段と、前記中央処理装置に設けられ、前記主記憶装置に書き込まれた前記チャネルプログラムの実行を前記入出力処理装置に指示する手段と、前記入出力処理装置に設けられ、前記中央処理装置からの指示に応答して前記主記憶装置に書き込まれた前記チャネルプログラムを読み出して実行する手段と、前記入出力処理装置に設けられ、前記チャネルプログラムの実行によって前記主記憶装置と前記入出力装置との間のデータ転送が終了したことを前記中央処理装置に通知する手段とを有することを特徴とする入出力制御システム。

【請求項 2】 前記入出力処理装置に設けられ、前記中央処理装置からの指示を内部クロックに同期化する手段と、前記中央処理装置に設けられ、前記入出力処理装置からの通知を内部クロックに同期化する手段とを有することを特徴とする請求項 1 記載の入出力制御システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は入出力制御システムに關し、特に低速の中央処理サブシステムに高速の入出力装置を接続する場合の入出力制御方法に關する。

【0002】

【従来の技術】 従来、データ処理システムを構築する場合、通常、演算処理系の性能と入出力系の性能とのバランスを考慮した構成となるように構築している。例えば、図 2 に示すように、中央処理装置 1 と、主記憶装置 2、3 と、入出力処理装置 11 とがメモリバス 100 に接続される場合、入出力装置 (図示せず) は入出力制御装置 12a ~ 12c を介して入出力処理装置 11 に接続されている。

うことができない。例えば、バス転送能のシステムに 6 MB/S の転送能力を有するスク装臵と半導体ディスク制御装置とを不可能である。

【0005】 つまり、演算処理系の性能が、高速で大容量の入出力装置 (例えば装置や半導体ディスク装置) を接続したの条件から演算処理系の性能を上げるこうなデータ処理システム (例えば、中央ユーレータを用いた開発評価システム) で高速な入出力装置を接続したい場合がある。

【0006】 このような場合、従来の技術で演算処理性能の高い中央処理装置をバス 100 の性能を上げるという方法が入出力装置と主記憶装置 3 との間に大容量リをねき、バッファメモリと入出力装置 A、バッファメモリと主記憶装置 3 のったようく 2 段階に分けて処理するといふ。あるいは、演算処理系の性能に合わせて入出力装置を接続するといった方法がある。

【0007】 上記大容量のバッファメモリの異なる装置間でのデータ転送の技術としては、特公昭 61-34181 された技術や特開昭 62-43745 号公技術、あるいは特開平 1-155457 された技術が知られている。

【0008】

【発明が解決しようとする課題】 上述して以下に述べるような問題点がある。すり性能の高い中央処理装置を使用してする場合、システム全体の価格の増加や大システム全体では中央処理装置を高速化ほとんど享受できない。

【0009】 また、入出力装置と主記憶装置のバッファメモリを設けて処理性能を、ハードウェアが増えて制御が複雑化性能は満足できても、DMA に伴う入出バヘッド (コマンドチェイン処理など) い、そのため コマンド処理時間に性能

(3) 特開平6-
4

3

置を接続することができる入出力制御システムの提供にある。

【0012】

【課題を解決するための手段】本発明による入出力制御システムは、中央処理装置と、入出力処理装置と、前記入出力処理装置に接続された複数の入出力制御装置と、前記複数の入出力制御装置各自に接続された複数の入出力装置と、主記憶装置とを含むデータ処理システムの入出力制御システムであって、前記中央処理装置と前記主記憶装置とを接続する低速な共通バスと、前記入出力処理装置と前記主記憶装置とを接続する高速なインターフェース手段と、前記中央処理装置に設けられ、前記主記憶装置と前記入出力装置との間のデータ転送を制御するチャネルプログラムを前記主記憶装置に書き込む手段と、前記中央処理装置に設けられ、前記主記憶装置に書き込まれた前記チャネルプログラムの実行を前記入出力処理装置に指示する手段と、前記入出力処理装置に設けられ、前記中央処理装置からの指示に応答して前記主記憶装置に書き込まれた前記チャネルプログラムを読み出して実行する手段と、前記入出力処理装置に設けられ、前記チャネルプログラムの実行によって前記主記憶装置と前記入出力装置との間のデータ転送が終了したことを前記中央処理装置に通知する手段とを備えている。

【0013】

【実施例】次に、本発明の一実施例について図面を参照して説明する。

【0014】図1は本発明の一実施例の構成を示すブロック図である。図において、中央処理装置1は1μs(10⁻⁶秒)のクロックで動作する同期式のプロセッサである。主記憶装置2、3は各々4MBの容量を有しており、主記憶装置2には'0000000'～'3FFF'FF'番地(“内は16進数)が、主記憶装置3には'4000000'～'7FFF'FF'番地が矢々割り付けられている。

【0015】これら主記憶装置2、3に対するアドレスの割付けは矢々装置内にあるスイッチを設定することで決定される。また、主記憶装置2、3は各々4パンク構成となっており、4WAYのインターリーフが可能である。

【0016】上記の中央処理装置1及び主記憶装置2、

10

(例えはリクエスト線、コマンド線、データ線等)をドライブする。

【0018】主記憶装置2、3はリクエストがアドレスをモニタし、自装置のアドレスであることを確認する。該アクセスがライトアクセスのバス上のアドレスが自装置のアドレスであることを確認する。

【0019】また、該アクセスがリードアクセスである場合は、主記憶装置2、3は該アドレスから連続する4バイトのデータを読み出し、バスをドライブする。さらに、主記憶装置の信号線(リブライ信号線とエラー信号等)を中央処理装置1に応答することで完了する。

【0020】入出力処理装置4の配下に1ノードインターフェースによって入出力制御装置5が接続されている。入出力制御装置5は接続される入出力装置には磁気ディスクや、磁気テープ装置などの低速な装置の両方が含まれている。ディスク装置では4.5～9MB/S、0.0～1250KB/S程度である。

【0021】図1においては、入出力制御装置5の配下に磁気ディスク装置6a～6dが接続され、入出力制御装置5の配下に表示装置7a～7d、入力装置8a～8d、プリンタ9、スキャナ10が接続されている。

【0022】入出力処理装置4は高速なDMAを制御するため、メモリバス10(0nsのクロックで動作する)。入出力処理装置4としての転送能力は80MB/Sである。

【0023】また、入出力処理装置4はメモリバス10(0nsのクロックで動作する)によって主記憶装置3に接続され、インターフェース10(0nsのクロックで動作する)は入出力制御装置5

20

20

30

30

40

(4)

特開平6-5

5

置4へのチャネルプログラムの起動を指示する信号線であり、終了割り込み信号線103はチャネルプログラムの実行が完了したことを入出力処理装置4から中央処理装置1に通知する信号線である。これら起動指示信号線102及び終了割り込み信号線103はいずれも受信側装置で内部クロックに同期化した上で各装置のプロセッサによって参照される。

【0025】この図1を用いて本発明の一実施例の動作について説明する。中央処理装置1で走行するOS(オペレーティングシステム)はユーザプログラムから磁気ディスク上の読み出し要求を受け付けると、次の動作を行う。

【0026】まず、中央処理装置1で走行するOSは主記憶装置3上に磁気ディスクからの読み込みデータを格納するためのデータエリア3bを確保し、該データエリア3bを初期化する。この操作は仮想記憶上で行われるため、仮想記憶上の論理アドレスを実記憶上の物理アドレスに対応付けるための制御データ(実体はアドレス変換表とページ管理表)も同時に主記憶装置3の格納エリア3c上に作られる。この後に、OSはチャネルプログラムを主記憶装置3の格納エリア3a上に作成する。

【0027】格納エリア3a上に作成されたチャネルプログラムは16バイトのヘッダ部と8バイトのチャネルコマンド語とがチェックされたものである。チャネルプログラムのヘッダ部は磁気ディスク装置6a～6dを指定するチャネル番号を含み、チャネルコマンド語はコマンドとフラグとデータエリア3bのアドレスとデータのカウントとを含む。

【0028】ここで、コマンド列はセットファイルマスク、シークシリンダ、シークRPS、サーチID、リードデータという順番となる。また、データアドレスは仮想記憶上のアドレスである論理アドレスで示される。

【0029】中央処理装置1と入出力処理装置4との間には主記憶装置3上に16バイトの通信領域が固定アドレスとして定義されている。中央処理装置1は上記の動作が完了すると、主記憶装置3上の通信領域にチャネルプログラムの先頭を示す論理アドレスと制御データの格納場所を示すアドレス情報を書き込む。その後に、中央処理装置1は起動指示信号線102を活性化し、入出力処理装置4にチャネルプログラムの開始を指示する。

に加えた後に、指定された磁気ディスクに対して実行開始を待っているチャネルをすることを通知するため、!／0インデックスされている開始待ち信号線を活性化

【0032】配下に磁気ディスク装置6された入出力制御装置5aは開始待ち応答して、入出力処理装置4に対してチムの実行開始を指示するコードを送出する。装置4は当該コードを受信すると、磁気a～6dを特定する装置番号1バイトとコマンド8バイトとの計9バイトを入出に送出する。このとき、入出力処理装置6a～6dを待ち行列チャネルプログラム実行中のステータス表

【0033】入出力制御装置5aは装置6a～6dに対してチャネルコマンド実行する。コマンドチェインがある場合置5aは次のチャネルコマンド語を入出要求する。

【0034】入出力処理装置4は入出力の要求に応じて次のチャネルコマンド装置5aに送出する。入出力制御装置5a装置4から受け取ったチャネルコマンド行する。

【0035】仮に、チャネルコマンド語(DMA)を指示していれば、入出力コマンド送出後にデータ転送の準備をする。エリア3bのアドレスはチャネルコマ

30 ドレスで記述されているので、入出力処理装置3の格納エリア3cに格納された照し、チャネルコマンド語に論理アドレスを主記憶装置3上の物理アドレ

【0036】上記のアドレス変換処理や主記憶装置3をアクセスしながら行う3と入出力処理装置4との間はメモリバ成为高速なインターフェース101で接続で、高速なアクセスが可能となるため、制限時間を越えることはない。

【0037】入出力制御装置5aは受け

(5)

7

ータバッファに4バイト蓄積されると、該データを主記憶装置3のデータエリア3bに書き込む。

【0039】入出力処理装置4は上述した動作をチャネルコマンド語で示されたカウント分繰り返す。入出力処理装置4は主記憶装置3にカウント分のデータを書き込む終了か、あるいは磁気ディスク上のデータが尽きるかするとデータ転送を終了する。さらに、コマンドチェインが続いている場合、入出力制御装置5aはチャネルコマンド語の取出を入出力処理装置4に要求する。

【0040】以上の動作を繰り返し実行し、コマンドチェインフラグが“0”的チャネルコマンド語の実行が終わると、チャネルプログラムの実行はすべて終了する。入出力制御装置5aはチャネルプログラムの実行を完了すると、終了を告げるコード1バイトと装置番号1バイトとステータス3バイトとを入出力処理装置4に送出する。

【0041】入出力処理装置4は入出力制御装置5aからの終了通知を受け取ると、ステータス3バイトを含む終了報告メッセージを主記憶装置3上の通信領域に作成し、終了割り込み信号線103を活性化して中央処理装置1に割り込みをかける。

【0042】中央処理装置1は入出力処理装置4からの割り込みに応答して主記憶装置3上の通信領域から終了報告メッセージを取り出し、該終了報告メッセージをOSに報告する。OSはデータ読み込みを要求したユーザプログラムにI/O終了を通知する。以上の処理によって一連の入出力動作は完了し、ユーザプログラムが再開される。

【0043】入出力処理装置4は上述したチャネルプログラムを実行する間、主記憶装置3に頻繁にアクセスする。しかし、主記憶装置3と入出力処理装置4との間は入出力処理装置4のクロック50nsに同期した高い性能を有しているため、主記憶装置3に対するアクセスで性能が低下することはない。

【0044】これに対して、入出力処理装置4が直接に低速のメモリバス100につながって主記憶装置3をアクセスする場合には、メモリバス100の上限性能である4MB/S以上の性能を有する磁気ディスク装置6a～6dを接続することはできない。また、その場合にはメモリバス100のアクセスタイムが大きいためコマ

特開平6-

8

【0045】このように、低速なメモリとして中央処理装置1に接続された主記憶インタフェース101で入出力処理装置4をメモリバス100以外線102と終了割り込み信号線103と一緒に接続することによって、中央処理装置3に書き込んだチャネルプログラムを立て実行することで、メモリバス100よりも高速な性能を有する入出力装置が接続可能となる。よって、OSをはじめとアに何等変更を加えることなく、低速・サシシステムにもメモリバスの性能を越え装置を接続することが可能となる。

【0046】

【発明の効果】以上説明したように本発明装置に低速な共通バスで接続され入出力処理装置と高速なインタフェース中央処理装置と入出力処理装置との間を主んだチャネルプログラムの実行を入出力する信号線と該チャネルプログラムの実現装置と入出力装置との間のデータ転送を中央処理装置に通知する信号線とで接続して、ソフトウェアに何等変更を加える・安価なプロセッサシステムにもメモリえる高速な入出力装置を接続することが可能である。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す。

【図2】従来例の構成を示すブロック図

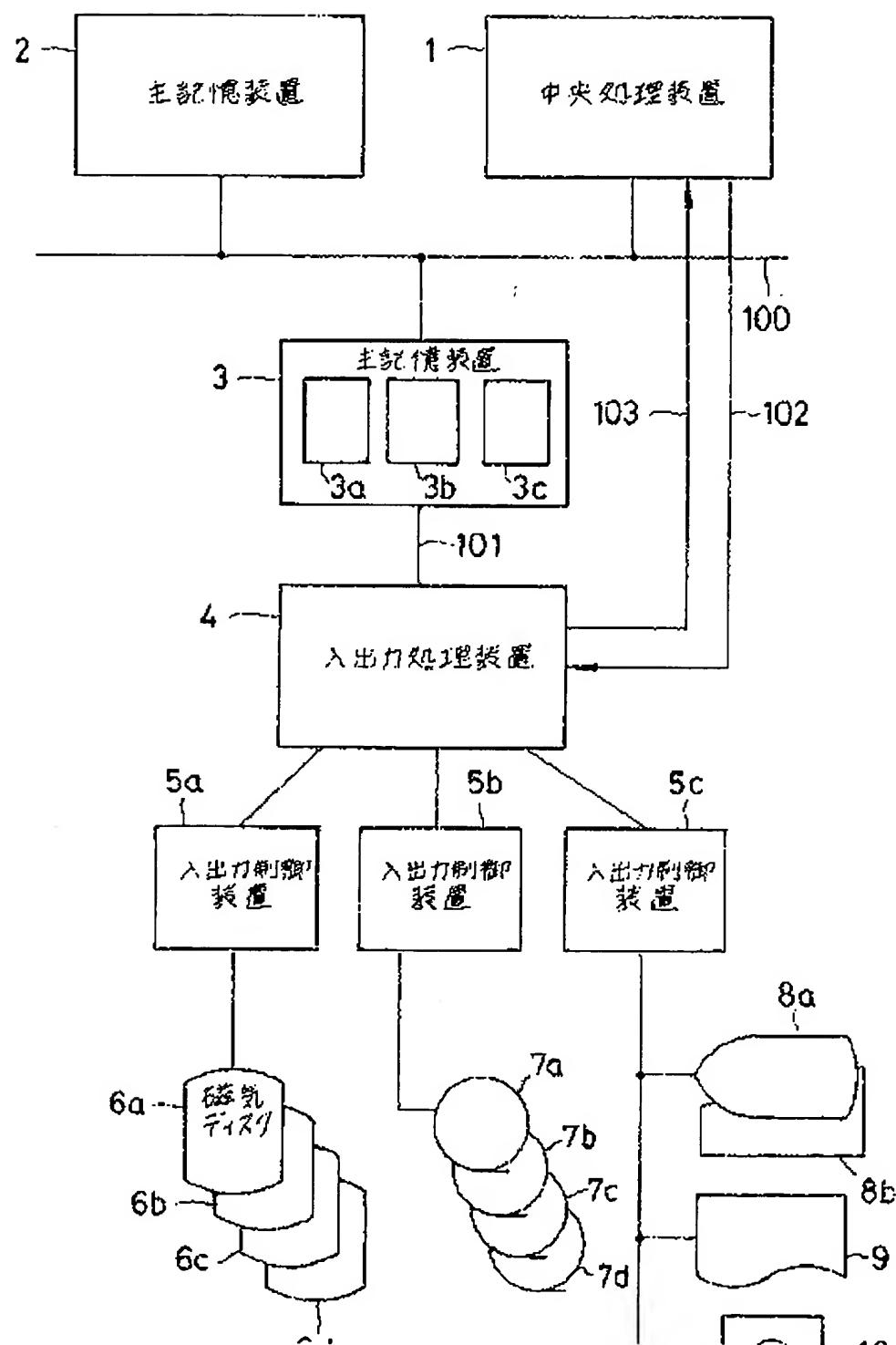
【符号の説明】

- 1 中央処理装置
- 2, 3 主記憶装置
- 3a チャネルプログラムの格納エリア
- 3b データエリア
- 3c 制御データの格納エリア
- 4 入出力処理装置
- 5a～5c 入出力制御装置
- 6a～6d 磁気ディスク装置
- 100 メモリバス

(5)

特開平6-

[図1]



(7)

特開平6-

[図2]

